

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020040016779 A
(43)Date of publication of application: 25.02.2004

(21)Application number: 1020030052909
(22)Date of filing: 30.07.2003

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: LEE, YUN JEONG
LIM, GI BIN
PARK, GI YEON
PARK, IN SEONG
YEO, JAE HYEON

(51)Int. Cl. H01L 21 /205

(54) METHOD FOR FORMING OXIDE LAYER BY ATOMIC LAYER DEPOSITION METHOD AND METHOD FOR FORMING CAPACITOR OF SEMICONDUCTOR DEVICE USING THE SAME

(57) Abstract:

PURPOSE: A method for forming an oxide layer by an atomic layer deposition(ALD) method is provided to increase a deposition rate and improve a deposition characteristic of a metal oxide layer by performing an ALD method using an oxidizing agent and a precursor including Hf and an amino group. CONSTITUTION: The surface of a substrate(1) is exposed to a precursor including an amino group to form a chemically absorbed precursor layer on the surface of the substrate. The chemically absorbed precursor layer is oxidized by using an oxidizing agent to form an oxide layer on the substrate.



copyright KIPO 2004

Legal Status

Date of request for an examination (20030730)
Notification date of refusal decision (00000000)
Final disposal of an application (registration)
Date of final disposal of an application (20051228)
Patent registration number (1005427360000)
Date of registration (20060105)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent (00000000)
Number of trial against decision to refuse (.)
Date of requesting trial against decision to refuse ()

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 21/205

(11) 공개번호
(43) 공개일자

10-2004-0016779
2004년02월25일

(21) 출원번호 10-2003-0052909

(22) 출원일자 2003년07월30일

(30) 우선권주장 1020020048720 2002년08월17일 대한민국(KR)

(71) 출원인 삼성전자주식회사
대한민국

442-742

경기도 수원시 영통구 매탄동 416

(72) 발명자 이운정

대한민국

151-800

서울특별시관악구남현동1081-34

박인성

대한민국

137-871

서울특별시서초구서초3동1511-4런던빌라302호

임기빈

대한민국

441-390

경기도수원시권선구권선동1287-3번지201호

여재현

대한민국

137-888

서울특별시서초구양재동17-14번지3층

박기연

대한민국

449-901

경기도용인시기흥읍농서리산7-1기숙사

(74) 대리인 박영우

(77) 심사청구 있음

(54) 출원명 원자층 증착법을 이용한 산화막의 형성방법 및 이를이용한 반도체 장치의 캐패시터 형성방법

요약

원자층 증착법을 이용한 금속 산화막의 형성방법 및 이를 이용한 반도체 장치의 캐패시터 형성방법에서, 아미노기를 포함하는 금속 전구체를 기판 상에 도입하여 상기 전구체의 일부를 상기 기판 상에 화학적으로 흡착시킨다. 이후에, 화학적으로 흡착되지 않은 전구체가 제거된다. 이어서, 산화제를 상기 기판 상에 도입하여 상기 화학적으로 흡착된 금속 전구체와 상기 산화제를 화학적으로 반응시켜 상기 기판 상에 산화막을 형성한다. 증착율이 빠르고 증착 특성이 향상된 산화막이 얻어진다. 또한, 향상된 스텝 커버리지를 가지며 패턴 로딩율이 감소된 얇은 산화물 박막의 형성이 가능하다.

대표도

도2d

영세서

도면의 간단한 설명

도 1은 다양한 물질들의 에너지 밴드갭 및 유전율을 나타낸다.

도 2a 내지 도 2e는 본 발명의 실시예에 따른 원자층 증착법을 이용한 산화막 형성방법을 설명하기 위한 단면도들이다.

도 3은 본 발명의 실시예에 따라 HfO_2 막을 증착할 때 사용되는 산화제의 종류에 대하여 기판 내의 소정의 위치에서 항복 전압(breakdown voltage)을 측정하여 얻어진 누적 파괴(cumulative failures)를 나타낸다.

도 4a 및 4b는 본 발명의 실시예에 따라 HfO_2 막을 형성할 때 사용되는 산화제의 종류에 따른 전압에 대하여 반복 측정하여 얻어진 누설 전류를 나타낸다.

도 5는 본 발명의 실시예 및 종래의 방법에 따른 원자층 증착 공정에서 온도에 대한 HfO_2 막의 증착율을 나타낸다.

도 6은 본 발명의 실시예에 따라 평판 및 소정의 어스펙트비를 갖는 구조물 상에 원자층 증착 공정을 진행하는 중에 온도에 대한 HfO_2 막의 증착율을 나타낸다.

도 7은 본 발명의 실시예에 따라 다양한 전구체 소오스를 사용하여 형성된 HfO_2 박막 내의 탄소 함량을 2차 이온 질량 분석(SIMS)을 통해서 확인한 것이다.

도 8a 내지 8e는 본 발명의 바람직한 실시예에 따라 반도체 공정에서 커패시터 형성방법을 설명하기 위한 단면도들이다.

도 9는 본 발명의 실시예에 따라 원자층 증착(ALD) 방법에 의하여 형성된 유전막을 갖는 커패시터에서 전압에 대한 누설 전류를 나타낸다.

도 10은 본 발명의 실시예에 따라 원자층 증착(ALD) 방법을 이용하여 형성된 유전막을 갖는 커패시터에서 유전막의 등가 산화막 두께(equivalent oxide thickness, EOT)에 대한 누설 전류를 나타낸다.

* 도면의 주요부분에 대한 부호의 설명 *

1 : 기판 2 : 흡착막

4 : 화학흡착막 6 : 산화제

8 : 금속 산화물 원자막 8a : 금속 산화막

100 : 반도체 기판 102 : 필드 영역

104 : 게이트 절연막 106 : 도핑된 폴리실리콘막

108 : 금속 실리사이드막 110 : 게이트 전극

112 : 램핑 절연막 114 : 측벽 스페이서

116a : 소오스 영역 116b : 드레인 영역

118 : 제1 절연막 120 : 콘택홀

122 : 콘택 플러그 124 : 제2 절연막

126 : 개구부 127 : 제2 도전막

128 : 커패시터의 하부전극 130 : 유전막

132 : 커패시터의 상부전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 산화막의 형성 방법 및 상기 산화막을 유전체로 이용한 반도체 장치의 커패시터의 형성방법에 관한 것으로, 보다 상세하게는 원자층 증착법(atomic layer deposition, ALD)을 이용한 산화막의 형성방법 및 이를 이용한 반도체 장치의 커패시터 형성방법에 관한 것이다.

고집적된 반도체 장치에서 작동 속도의 고속화가 계속됨에 따라, 각각의 메모리 셀이 차지하는 면적이 점차 축소되고 있다. 상기 메모리 셀이 차지하는 면적이 축소됨에 따라 반도체 장치를 구성하는 각 셀에 포함되는 트랜지스터 및/또는 커패시터를 형성하기 위한 수평 면적 또한 축소되고 있다.

상기 트랜지스터의 게이트 전극의 길이가 감소함에 따라, 상기 게이트 절연막의 두께도 감소되었다(예를 들어 약 20 Å 이하). 그러나, 상기 게이트 절연막의 두께 감소는 게이트 누설 전류의 증가, 게이트 도핑 불순물 또는 다른 불순물의 침투, 문턱 전압의 저하 등의 문제점을 야기한다. 때문에, 상기 게이트 절연막을 절연성이 뛰어나고, 유전율이 높은 물질로 대체하고자 하는 연구가 진행되고 있다.

또한, 상기 커패시터가 형성되는 영역의 감소로 인해, 상기 셀 커패시턴스도 함께 감소되고 있다. 상기 셀 커패시턴스가 감소되면, 메모리 셀의 데이터 독출 능력(readability)이 열화되고 소프트 에러(soft error) 발생율이 증가되며, 반도체 메모리 장치가 저전압에서 만족스런 동작하는 것이 어렵게 된다. 따라서, 셀이 차지하는 수평 면적에 영향을 미치지 않으면서 셀 커패시턴스를 증가시키기 위한 여러 가지 기술들이 개발되고 있다.

한정된 셀 영역 내에서 커패시턴스를 증가시키기 위하여 커패시터의 유전막의 두께를 감소하는 방법 및/또는 실린더나 핀과 같은 3차원 구조를 갖는 커패시터 하부 전극을 형성하여 커패시터의 유효 면적을 증가시키는 방법 등이 제안되었다. 그러나, 1 기가비트 이상의 용량을 얻기에 필요한 집적도를 가지는 다이내믹 랜덤 액세스 메모리(DRAM)를 제조함에 있어서는 상기 방법들로 메모리 장치를 작동시키기에 충분한 높은 커패시턴스를 얻기가 어렵다. 이러한 문제를 해결하기 위하여 높은 유전율(κ)을 갖는 물질을 사용하여 커패시터의 유전막을 형성하는 방법이 추가적으로 연구되고 있다.

특히, 상기 트랜지스터의 게이트 절연막을 형성하는 방법 및/또는 Ta_2O_5 , Y_2O_3 , HfO_2 , ZrO_2 , Nb_2O_5 , BaTiO_3

및 SrTiO_3 와 같은 물질로 커패시터 유전막을 형성하는 방법들이 개발되어 왔다. 도 1은 상기 물질들의 에너지 밴드갭 및 유전율을 나타내는 그래프이다.

일반적으로, 유전막과 같은 박막들은 화학기상증착(CVD),

저압화학기상증착(LPCVD), 플라즈마-강화 화학기상증착(PECVD) 또는 스퍼터링 등의 증착 방법들을 통하여 증착될 수 있다. 상기 방법들은 상대적으로 높은 온도에서 박막의 증착이 이루어진다. 결과적으로, 상기 방법들에 의한 경우 반도체 소자들에 불리한 열적 효과를 야기할 수 있다. 또한, 화학기상증착(CVD)에 의한 박막은 고집적회로에서 요구되는 정도에 비해 불균일한 두께를 가지며 스텝 커버리지도 불량하다.

반면에, 원자층 증착(ALD) 방법은 화학기상증착(CVD) 방법보다 낮은 온도에서 수행하여 열적 효과를 줄이고 향상된 균일성 및 스텝 커버리지를 가진다.

최근에는 유전율이 약 25 정도로 높고, 우수한 열적 안정성을 갖는 tantalum 산화막(Ta_2O_5)이 상기 캐패시터 유전막으로서 널리 사용되고 있다. 그러나, Ta_2

O_5 는 에너지 밴드갭이 낮으므로, Ta_2O_5 를 캐패시터의 유전막으로 사용하였을 경우 누설 전류가 매우 큰 단점이 있다. 도 1을 참조하면 유전율이 20 이상이고 에너지 밴드갭이 비교적 물질인 산화 하프늄(HfO_2)으로 유전막을 형성할 수 있다.

상기 HfO_2 막을 형성하는 방법의 예가 미합중국 특허 제6,348,386 B1호 (issued to Gilmer) 및 6,420,279 B1호(issued to Ono et al.)에 개시되어 있다. 상기 미합중국 특허 제6,348,386 B1호에서는 하프늄과 요오드를 포함하는 제1전구체와 산소를 포함하는 제2전구체를 기판 상에서 반응하게 하여 반도체 기판 상에 절연막을 형성하는 방법이 개시되어 있다. 상기 미합중국 특허 제6,420,279 B1호에서는 원자층 증착법을 이용하여 산화하프늄과 산화지르코늄의 나노라미네이트(nanolaminate)를 형성하는 방법 및 질산 하프늄이나 질산 지르코늄과 같은 질산계 전구체를 개시한다. 그러나, 상기 방법들에 의해도 높은 어스펙트비를 갖는 구조물 상에 양호한 스텝 커버리지를 갖는 HfO_2 막을 형성하기가 여전히 어렵다.

발명이 이루고자 하는 기술적 과제

본 발명의 제1 목적은 상술한 문제점을 감안하여 원자층 증착(ALD) 방법을 이용하여 증착율(deposition rate) 및 증착특성이 향상된 산화막의 형성 방법을 제공하는데 있다.

본 발명의 제2 목적은 반도체 기판 상에 스텝 커버리지(step coverage)가 향상되고 패턴 로딩율(pattern loading rate)의 효과가 감소된 박막의 형성방법을 제공하는 것이다.

본 발명의 제3 목적은 반도체 장치 상에 고유전율의 유전막을 갖는 캐패시터의 형성방법을 제공하는 것이다.

발명의 구성 및 작용

본 발명의 제1 목적을 달성하기 위하여 원자층 증착(ALD) 공정을 이용한 산화막의 형성방법에서, 아미노기를 포함하는 전구체가 상기 전구체의 일부분이 기판 상에 화학적으로 흡착될 수 있는 상태에서 상기 기판에 적용된다. 이후에, 상기 화학적으로 흡착되지 않은 전구체가 상기 기판으로부터 제거되고 산화제가 도입되어 상기 화학적으로 흡착된 전구체와 화학적으로 반응하여 상기 기판 상에 원자층 단위의 산화물막을 형성한다.

본 발명의 실시예에서, 상기 전구체의 화학식은 MX_nO_i 이며, 상기 화학식 MX_nO_i 에서 M은 원소 주기율표에서 2족, 란타넘 계열을 포함하는 3A족, 4A족, 5A족, 3B족, 4B족 및 5B족 원소중 어느 하나의 원자를 나타내고, X는 $-NR_1R_2$ 로서 R_1 및 R_2 는 수소 원자 및 1개 내지 4개의 탄소원자를 가지는 알킬기로부터 선택된 서로 동일하거나 상이한 치환기(substituents)를 나타내고, 상기 n은 2 내지 5의 정수이다.

본 발명의 다른 실시예에서, 상기 전구체는 Sr, Ba, Y, La, Ti, Zr, Hf, V, Nb, Ta, Al, Ge, Pb, As, Sn, Si 또는 Bi 중에서 최소한 하나의 원자를 포함한다.

바람직한 전구체는 TEMAH(tetrakis - ethyl methyl amino hafnium, $Hf[NC_2H_5CH_3]_4$), TDEAH(tetrakis - diethyl amino hafnium, $Hf[N(C_2H_5)]_4$), TOMAH(tetrakis - dimethyl amino hafnium, $Hf[N(CH_3)]_4$), $Hf[N(CH_3)]_4$

$Hf[N(CH_3)]_4$, $Hf[N(C_4H_9)]_4$, $Ti[N(CH_3)]_4$, $Ti[N(CH_3)]_4$

4. $Zr[N(CH_3)]_4$, $Sn[N(CH_3)]_4$

2 H_5 4. $Si[N(CH_3)]_4$, $Ta[N(CH_3)]_4$, $Al[N(CH_3)]_4$

3. $(CH_3)_2AlNH_2$ 등을 포함한다.

본 발명의 실시예에서, 상기 전구체는 약 300℃ 이하의 온도 범위 및 약 0.4 torr 이하의 압력 범위가 유지된 상태에서 도입된다. 상기 전구체는 아르곤, 질소 또는 아르곤과 질소의 혼합 가스를 포함하는 불활성 캐리어 가스에 의해 도입된다.

본 발명의 실시예에서, 상기 화학적으로 흡착되지 않은 전구체는 아르곤 및 질소 가스를 포함하는 불활성 퍼지 가스를 도입하는 방법 및/또는 진공 퍼지를 이용하여 제거된다.

산화제의 예로는 H_2O_2 , H_2O , O_3 , N_2O , NO_2

플라즈마 O_2 , 리모트 플라즈마 O_2 , 플라즈마 N_2O 등이 있다. 상기 원자층을 형성한 후에 상기 잔류 산화제는 아르곤이나 질소 가스와 같은 불활성 퍼지 가스를 도입하는 방법 및/또는 진공 퍼지를 이용하여 제거된다.

본 발명의 실시예에서, 원자층을 형성하는 상기 단계들은 산화막의 두께가 소정의 두께에 이를 때까지 복수회 반복될 수 있다.

본 발명의 실시예에서, 상기 단계들은 챔버 내에서 약 100℃ 내지 500℃의 온도 범위에서 수행될 수 있다.

본 발명의 제2 목적을 달성하기 위하여 원자층 증착(ALD) 공정을 이용한 금속 산화물 박막의 형성방법에서, 반도체 기판이 챔버 내에 위치된다. 이후에, 금속 및 아미노기를 포함하는 금속 전구체가 상기 전구체의 일부분이 상기 기판 상에 화학적으로 흡착될 수 있는 상태에서 상기 챔버 내로 도입된다. 계속해서, 상기 기판 상에 화학적으로 흡착되는 상기 금속 전구체의 잔류 부분이 상기 챔버로부터 제거된다. 상기 금속 전구체의 잔류 부분이 상기 챔버로부터 제거된 후에, 산화제가 상기 챔버 내로 도입되어 상기 화학적으로 흡착된 금속 전구체와 반응하여 상기 기판 상에 금속 산화물의 원자층 단위의 박막을 형성한다. 이후에, 상기 반응하지 않은 잔류 산화물을 상기 챔버로부터 제거한다.

본 발명의 실시예에서, 상기 기판 상에 형성되는 박막은 반도체 캐패시터의 유전막 또는 게이트 절연막이다.

본 발명의 제3 목적을 달성하기 위하여 반도체 장치의 캐패시터 형성방법에서, 제1 전극이 반도체 기판 상에 형성되고, 아미노기를 포함하는 금속 전구체가 상기 전구체의 일부분이 상기 제1 전극 상에 화학적으로 흡착될 수 있는 상태에서 상기 제1 전극 상에 도입된다. 상기 화학적으로 흡착되지 않은 금속 전구체의 잔류 부분이 상기 챔버로부터 제거된다. 이후에, 산화제가 상기 챔버 내로 도입되어 상기 화학적으로 흡착된 금속 전구체와 반응하여 유전막을 형성한다. 상기 유전막이 형성된 후에, 반응하지 않고 잔류된 상기 산화제가 불활성 가스의 도입 및/또는 진공 퍼지에 의해 상기 챔버로부터 제거된다. 제2 전극이 상기 유전막 상에 형성되어 상기 기본 캐패시터를 완성한다.

본 발명의 실시예에서, 상기 제1 전극은 실린더 형상을 가지며, 도핑된 폴리실리콘막, 질화 금속막 및 금속막의 하나 이상의 막을 포함하거나 다수의 도전막들에 의한 적층 구조물을 포함할 수 있다. 또 다른 실시예에서, 상기 제1 전극은 도핑된 폴리실리콘막 및 상기 폴리실리콘막 상에 형성되어 추후의 공정에서 상기 폴리실리콘막의 산화를 방지하거나 감소하는 질화막을 포함한다.

상기 제2 전극은 상기 제1 전극과 마찬가지로 도핑된 폴리실리콘막, 질화 금속막 및 금속막의 하나 이상의 막을 포함하거나 다수의 상기 도전막들에 의한 적층 구조물을 포함할 수 있다.

본 발명의 다른 실시예에서, 상기 유전막에 원자층 증착 방식으로 제2의 금속 산화막을 부가한다. 본 발명의 다른 실시예에서, HfO_2 와 같은 제1 금속 산화물은 Al_2O_3 와 같은 제2 금속 산화막과 조합될 수 있다.

본 발명의 실시예에 따르면, 원자층 증착법을 이용하여 아미노기를 포함하는 금속 전구체와 산화제를 반응시켜 스텝 커버리지(step coverage) 및 증착 특성이 향상된 박막을 형성할 수 있다. 반도체 공정에서 상기 박막을 반도체 장치의 캐패시터 유전막이나 게이트 절연막으로 하는 경우, 반도체 장치의 안정성 및 신뢰성을 향상시킬 수 있다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

도 2a 내지 도 2e는 본 발명의 실시예에 따른 원자층 증착법을 이용한 산화막 형성방법을 설명하기 위한 단면도들이다.

도 2a를 참조하면, 실리콘 웨이퍼와 같은 기판(1)을 약 100°C 내지 500°C 의 온도로 유지되는 챔버 내에 위치시킨다. 상기 챔버의 압력은 약 0.4 torr 이하의 상태이다. 본 발명의 실시예에서, 상기 온도 범위는 약 150°C 내지 350°C 이다. 하나의 주요 금속원소나 반금속 원소 및 아미노기를 포함하는 전구체를 아르곤이나 질소와 같은 불활성 캐리어 가스를 이용하여 상기 챔버 내로 약 50sccm 내지 5000sccm의 유량으로 약 1초 내지 3초 동안 도입하여 상기 기판 상에 흡착막(2)을 형성시킨다. 본 발명의 실시예에서, 불활성 캐리어 가스의 유량은 약 500sccm 내지 1,500sccm 범위이다.

상기 전구체는 화학식이 MX_n 인 화합물을 포함하고, M은 원소 주기율표에서 2족, 란타 계열을 포함하는 3A족, 4A족, 5A족, 3B족, 4B족 및 5B족의 원소로부터 선택되는 최소한 하나의 원자이다. 본 발명의 실시예에서, 상기 원소들은 Sr, Ba, Y, La, Ti, Zr, Hf, V, Nb, Ta, Al, Ge, Pb, As, S, n, Si 및 Bi로 이루어진 그룹으로부터 선택되는 최소한 하나의 원자이다. 또한, 상기 X는 $-\text{NR}_1\text{R}_2$ 를 나타내고 R_1

및 R_2 는 수소 원자 또는 1개 내지 4개의 탄소 원자를 포함하는 메틸기, 에틸기, n-프로필, iso-프로필, n-부틸, iso-부틸 및 tert-부틸과 같은 알킬기로부터 선택되는 동일하거나 서로 상이한 물질이며, 상기 n은 2 내지 5를 나타내는 정수이다.

본 발명의 실시예에서, 상기 금속 전구체로는 하프늄(Hf)과 아미노기를 갖는 하프늄 금속 화합물이다. 상기 금속 전구체의 예로는 TEMAH(tetraakis - ethyl methyl amino hafnium, $\text{Hf}[\text{N}(\text{C}_2\text{H}_5\text{CH}_3)_4]$, TDEAH(tetrakis - diethyl amino hafnium, $\text{Hf}[\text{N}(\text{C}_2\text{H}_5)_2)_4]$, TDMAH(tetrakis - dimethyl amino hafnium, $\text{Hf}[\text{N}(\text{CH}_3)_2)_4]$, $\text{Hf}[\text{N}(\text{C}_3\text{H}_7)_2)_4]$, $\text{Hf}[\text{N}(\text{C}_4\text{H}_9)_2)_4]$ 등을 들 수 있다. 상기 물질들은 단독으로 또는 상기 물질들의 혼합으로 사용될 수 있다. 상기 전구체의 다른 예로서는 $\text{Ti}[\text{N}(\text{CH}_3)_2)_4]$ 가 있다.

4. $\text{Zr}[\text{N}(\text{CH}_3)_2)_4]$, $\text{Sn}[\text{N}(\text{CH}_3)_2)_4]$

4. $\text{Si}[\text{N}(\text{CH}_3)_2)_4]$, $\text{Ta}[\text{N}(\text{CH}_3)_2)_4]$

$_2\text{H}_5$, $\text{Al}[\text{N}(\text{CH}_3)_2)_4]$, 및 $(\text{CH}_3)_2\text{AlNH}_2$ 가 있다.

본 발명의 실시예에서, 박막 형성을 위한 원자층 증착법을 이용하여 우수한 스텝 커버리지 및 고유전율을 갖는 산화 하프늄(HfO_2)막이 형성된다.

상기 금속 전구체를 상기 기판 상에 도입하면, 전구체 분자의 일부분이 상기 기판 상에 화학적으로 흡착하여 기판 표면에 전구체막을 형성하고, 금속 전구체 분자 중 나머지 부분은 화학적으로 흡착된 제1 부분 상에 물리적으로 흡착되거나 상기 증착 챔버 내에서 표류하게 된다.

도 2b를 참조하면, 이어서 아르곤(Ar)이나 질소(N_2)와 같은 불활성 가스를 도입시켜 퍼지 및/또는 진공 퍼지시킴으로써 상기 기판 상에 화학적으로 흡착되지 않은 상기 금속 전구체를 제거한다. 본 발명의 실시예에서, 상기 퍼지 또는 진공 퍼지를 실시하는 시간은 약 1 내지 20초 동안이 바람직하다. 본 발명의 다른 실시예에서, 상기 시간은 1초 내지 4초이다. 상기 퍼지 공정이 진행되는 동안, 화학적으로 흡착되지 않은 상기 물질이 상기 챔버로부터 제거되어 상기 기판(1) 상에는 상기 화학흡착막(4)내의 전구체 분자가 남게 된다.

도 2c를 참조하면, 상기 챔버 내부에 산화제(6)를 도입한다. 본 발명의 실시예에서, 상기 산화제를 약 500sccm의 유량으로 2 내지 5초 동안 도입시킨다. 상기 화학흡착막(4)과 상기 산화제가 화학적으로 반응하여 상기 기판(1) 상에 금속 산화물 원자막(8)을 형성하게 된다. 예를 들어, 상기 기판(1)의 표면 상에서 상기 화학흡착된 하프늄 전구체막과 상기 산화제의 산소가 반응하여 원자층 단위의 HfO_2 막이 형성될 수 있다.

상기 산화제는 수산화기를 포함하는 산화제 뿐만 아니라 산소(O) 라디칼을 발생할 수 있는 활성화된 산화제를 포함하는 하나 이상의 산화제를 포함한다. 상기 활성화된 산화제는 플라즈마 생성기에 의해 형성된 오존(O_3), 플라즈마 O_2 , 리모트 플라즈마 O_2 및 플라즈마 N_2O 를 포함한다. 산소 가스가 처리되어 오존을 형성하면, O_2 가스중의 일부가 O_3 로 전환되어 약 5% 내지 15%의 몰비를 가지는 O_2/O_3 의 혼합기체가 생성된다. 또한, 상기 산화제는 H_2O 나 H_2O_2 와 같은 수산화기 및 N

$2O$ 나 NO_2 와 같은 산소를 포함하는 다른 화합물을 포함한다.

도 2d를 참조하면, 아르곤 또는 질소와 같은 불활성 가스와 함께 퍼지(purge) 및/또는 진공 퍼지시켜 화학 반응하지 않은 산화제를 챔버로부터 제거한다. 본 발명의 실시예에서, 상기 퍼지 또는 진공 퍼지를 실시하는 바람직한 시간은 1 내지 20초 동안이다. 본 발명의 다른 실시예에서, 상기 퍼지 및 진공 퍼지를 상기 금속 산화막(8)을 형성한 후에 1초 내지 4초 동안 수행한다.

도 2e를 참조하면, 기판(1)상에 상기 금속 전구체를 도입하여 화학적으로 흡착된 전구체막을 형성하는 단계, 상기 화학적으로 흡착된 전구체막에 포함되지 않은 물질을 퍼지에 의해 제거하는 단계, 산화제를 도입하여 상기 화학적으로 흡착된 금속 전구체막을 산화시키는 단계 및 상기 반응하지 않은 산화제를 퍼지에 의해 제거하는 단계를 반복적으로 수행함으로써, 기판(1) 상에 소정의 두께를 갖는 금속 산화막(8a)을 형성하게 된다.

본 발명의 실시예에서, 상기 단계들을 진행하는 동안 챔버 내부의 온도는 약 100°C 내지 500°C 의 온도 범위를 가진다. 본 발명의 다른 실시예에서, 상기 챔버 내부의 온도는 약 150°C 내지 350°C 의 온도 범위를 가진다. 상기 온도 조절을 통하여, HfO_2 와 같은 금속 산화막을 형성하는 동안 하부막들의 열적 손상 및/또는 열적 효과를 감소하거나 최소화할 수 있다.

본 발명의 실시예에서, 아미노기를 포함하는 상기 금속 전구체의 액체 소오스는 할로겐 전구체와 같은 다른 전구체들과 비교해서 높은 증기압을 갖는다. 증기압이 높다는 것은 유사한 증착 상태에서 아미노기를 갖는 금속 전구체가 상기 할로겐화물 전구체에 비해 더 많이 반응할 수 있다는 것을 의미한다. 따라서, 아미노기를 포함하는 액체 소오스를 전구체로 사용하는 경우, 증착 챔버 내로 도입되는 금속 소스 가스의 양이 많아져서 1:10 이상의 어스펙트 비(aspect ratios)를 갖는 부분 또는 단차진 부분을 갖는 바닥면 상에 직접 공급되는 분자의 수가 많아지게 된다. 따라서, 종래의 할로겐화물 전구체 대신에 본 발명의 실시예에 따른 아미노기를 함유하는 금속 전구체를 사용하는 경우에 스텝 커버리지(step coverage)가 향상된 박막의 형성이 가능하다. 또한, 미세한 두께(예를 들어, 30 Å 이하의 두께를 가지는)를 갖는 금속 산화막의 상기 두께 및 균일함을 유리하게 제어하는 것도 가능하다.

상기 도 2c에 나타난 단계를 수행하는 경우, 산소 라디칼을 생산할 수 있는 활성화된 산화제 및 수산화기를 포함하는 산화제를 모두 사용할 수 있다. 본 발명의 실시예에서, 양호한 항복 저항 특성을 갖는 유전막을 형성하기 위해 오존 가스가 사용된다. 산화제로 H_2O 를 사용하는 경우 상기 금속 산화막 내에 (OH)- 결합이 생성되어 고정되거나 트랩된 전하 및 유전 누설(dielectric leakage)이 증가한다.

또한, O_3 에 비해 H_2O 증기는 퍼지가 잘 되지 않아 퍼지 및/또는 증발 시간이 증가한다. 더욱이, H_2O 를 상기 산화제로 사용하면 막의 계면에서 전하의 트랩을 유발하여 계면 특성을 열화 또는 저하시킨다. 상기 문제가 발생하면 상기 메모리 장치에서 소프트 에러(soft error)가 증가하여, 상기 장치의 신뢰성을 손상한다. 그러나, O_3 를 산화제로 사용하는 경우, 상기 문제들은 감소되거나 최소화되고 안정적인 유전 특성 및 누설 전류 특성을 얻을 수 있다. 또한, 상기 O_3 산화제는 하부막의 증착이 적기 때문에 본 발명의 실시예에서 사용되었다.

도 3은 본 발명의 실시예에 따라 HfO_2 막을 증착할 때 사용되는 산화제의 종류에 대하여 기판 내의 소정의 위치에서 항복 전압(breakdown voltage)을 측정하여 얻어진 누적 파괴(cumulative failures)를 나타낸다. 도 3을 참조하면, 유전막은 Al_2O_3 (~30 Å) 및 HfO_2 (~10 Å)의 복합막이다. 경로(trace) 50은 O_3

산화제를 사용하여 형성한 유전막에 대한 것이고, 경로(trace) 52는 H_2O 산화제를 사용하여 형성한 유전막에 대한 것이다.

도 3을 참조하면, 상기 O_3 산화제를 사용하여 HfO_2 막을 증착한 경우는 H_2O 산화제를 사용하여 HfO_2 막을 증착한 경우에 비해 0.5V 정도 높은 항복전압을 가지며 유전막으로서의 신뢰성이 더 높다.

도 4a 및 4b는 본 발명의 실시예에 따라 HfO_2 막을 증착할 때 사용되는 산화제의 종류에 대하여 전압에 따른 누설 전류를 반복 측정하여 얻어지는 그래프이다. 도 4a는 H_2O 를 산화제로 사용하여 형성된 HfO_2 막에 대응되고, 도 4b는 O_3 를 산화제로 사용하여 형성된 HfO_2 막에 대응된다. 도 4a 및 4b를 참조하면, 상기 유전막은 Al_2O_3 (30 Å) 및 HfO_2 (10 Å)가 적층된 복합막이다.

도 4a를 참조하면, 상기 경로(trace)들은 전압을 0 내지 -5V까지의 범위에서 5회 반복 스위프(sweep)하면서 누설 전류를 측정하여 얻어진 것이다. 4번째 스위프에서 열화된 누설 전류(60)가 나타난다. 이를 통하여 5번째 측정시에 항복이 발생하는 것을 확인할 수 있다.

도 4b를 참조하면, 상기 경로(trace)들은 전압을 0 내지 -5V까지의 범위에서 7회 반복 스위프(sweep)하면서 누설 전류를 측정하여 얻어진 것이다. 상기 결과에서, 7번의 스위프시까지도 유전체의 심각한 열화없이 안정된 누설 전류(62)를 유지함을 알 수 있다. 따라서, H_2O 산화제를 사용하여 형성한 유전막에 비해 O_3 산화제를 사용하여 형성한 유전막이 고전압 스트레스에 대한 신뢰성이 높다는 것을 알 수 있다.

본 발명의 실시예에서, 아미노기를 갖는 전구체를 사용하여 유전막을 형성하는 경우 종래의 방법에 비해 증착율(deposition rate) 및 유전 특성이 향상되는 장점이 있다. 이하에서는, 이러한 특징을 보다 상세하게 설명한다.

본 발명의 실시예에서, 아미노기를 갖는 전구체를 사용하여 HfO_2 막을 증착하는 경우 종래의 할로겐화물 전구체를 사용하는 데 비해 증착율(deposition rate)이 증가되는 장점이 있다. 원자층 증착법에 의해 막을 증착하는데 있어서 증착율(deposition rate)을 결정하는 인자는 전구체의 반응성 및 전구체의 입체적 크기이다. 상기 산화제와 상기 전구체 사이의 상기 반응성이 크지 않을 경우 반응 속도가 낮아 증착율(deposition rate)이 낮아진다. 마찬가지로, 상기 전구체의 입체적 크기가 큰 경우는 전구체가 흡착되어야 할 반응 부위가 인접한 반응 부위에 흡착된 전구체에 의해 가려져서, 반응 물질의 밀도, 반응 속도 및 증착율(deposition rate)이 낮아진다.

반응성 측면에서, TEMAH 및 $tBH[Hf(OtBu)_4]$ 3 산화제와 반응하는 메카니즘을 비교한다. TEMAH의 경우 $Hf(-NC_2H_5CH_3)_4$ 에서 산화제인 O_3 에 의해 $Hf-N$ 결합이 끊어지고 $Hf-O$ 결합이 생성된다. 상기 tBH 전구체의 경우는 상기 반응 도중에 상기 산화제인 O_3 에 의해 $Hf-O$ 결합이나 $(Hf-O)-C$ 결합이 끊어진다. 이때, 후자의 경우 반응 원소인 Hf 및 C의 반응 전/후의 결합상태가 $Hf-O$ 및 $C-O$ 이다. 따라서, 반응의 추진력(driving force)이 크지 않다. 따라서, TEMAH가 tBH 보다 반응성이 큰 전구체이다.

상기 tBH의 분자 구조 및 TEMAH의 분자 구조를 비교한다. TEMAH[(NC₃H₈)₄4H₉)₄Hf 원소의 표면 커버리지(coverage)가 높아져서 증착율(deposition rate)이 증가하게 된다.

도 5는 본 발명의 실시예 및 전구체로 금속 알콕사이드 화합물을 사용하는 종래의 방법에 따른 원자층 증착 공정에서 온도에 대한 HfO₂ 막의 증착율(deposition rate)을 나타낸다. 도 5를 참조하면, 경로(trace) 10은 상기 본 발명의 실시예에 따라 상기 HfO₂ 막을 형성하면서 얻어지고, 경로(trace) 12는 상기 종래의 방법에 따라 상기 HfO₂ 막을 형성하면서 얻어진다. 도 5에서, 수평 축은 증착 온도(°C)를 나타내고, 수직 축은 한 사이클당 증착되는 막의 두께, 즉 증착율(Å/cycle)을 나타낸다.

특히, 본 발명의 실시예에서, 전구체로서 TEMAH를 2초 동안 도입하고, 퍼지 가스로서 Ar을 4초 동안 도입하였다. 또한, 상기 산화제로서 O₃를 4초 동안 도입하고, 퍼지 가스로서 Ar을 4초 동안 도입하였다. 상기 공정을 다양한 온도에서 반복된 후, 각각의 온도에서 증착율(deposition rate)을 측정하였다. 상기 조건들을 유지하는 상태에서 상기 종래의 방법에 따라 상기 전구체 tBH(tetra-butoxy hafnium, Hf(OtBu)₄)를 이용하여 상기 동일한 공정이 반복되었다.

도 5를 참조하면, 경로(trace) 10에 나타난 바와 같이, 200°C 내지 300°C에서는 원자층 증착(ALD) 공정 특성을 보이고, 상기 HfO₂ 막의 형성도중에 상기 증착율(deposition rate)이 거의 일정하다. 그러나, 300°C 이상에서는 온도에 따라 상기 증착율(deposition rate)이 선형적으로 증가하는 화학기상증착(CVD) 공정 특성을 나타낸다. 200°C를 기준으로 할 경우 증착율(deposition rate)은 약 1 Å/cycle 정도이다.

경로 12에 나타난 바와 같이 상기 종래의 방법에 의해 HfO₂ 막을 형성하면, 상기 원자층 증착(ALD) 공정 특성은 약 250°C 내지 350°C 온도 범위에서 나타난다. 또한, 상기 온도 범위에서의 상기 증착율(deposition rate)은 약 0.4 Å/cycle 정도이다.

상기 결과로부터, 상기 HfO₂ 막의 상기 증착율(deposition rate)은 상기 본 발명의 실시예에 의해 아미노기를 포함하는 상기 금속 전구체를 이용하여 상기 HfO₂ 막을 형성하는 경우가, 상기 종래의 방법에 의해 금속 알콕사이드기를 포함하는 금속 전구체를 이용하여 상기 HfO₂ 막을 형성하는 경우에 비해 더 빠르다. 또한, 본 발명의 방법에 의하면 약 300°C 이하의 온도에서도 원자층 증착(ALD) 공정을 수행하여 HfO₂ 막을 형성할 수 있다.

상기 실시예에서의 증착 온도가 300°C 이하이나, 우수한 전기적 특성을 갖는 HfO₂ 막은 300°C 이상의 온도에서 공정을 수행하여야 형성될 수 있다. 특히, 산화제가 H₂O인 경우에는 약 350°C의 온도에서 원자층 증착 공정을 실시해야 우수한 전기적 특성을 갖는 막을 얻을 수 있다. 상기 실험결과에 따라, 상기 증착을 실시하기 위한 실시예에서의 온도 범위는 약 100 내지 500°C이다.

본 발명의 실시예에서, TEMAH를 사용하여 원자층 증착(ALD) 방식으로 막을 형성하는 경우, 13:1 이상의 높은 어스펙트비를 갖는 구조물에서 약 80% 이상의 우수한 스텝 커버리지(step coverage)가 얻어짐을 확인할 수 있었다. 상기 스텝 커버리지(step coverage)는 구조물의 상부와 하부에서 형성된 상기 막의 두께비율을 의미한다.

도 6은 본 발명의 실시예에 따라 평판 및 소정의 어스펙트비를 갖는 구조물 상에 원자층 증착 공정을 진행하는 중에 온도에 대한 HfO₂ 막의 증착율(deposition rate)을 나타낸다. 경로(trace) 30은 상기 평판 상에 HfO₂ 막을 형성하여 얻어진 것이고, 경로(trace) 32는 소정의 어스펙트비를 갖는 구조물상에 HfO₂ 막을 형성한 경우에 얻어진 것이다.

도 6에서, 수평 축은 증착 온도(°C)를 나타내고, 수직 축은 한 사이클당 증착되는 막의 두께, 즉 증착율(Å/cycle)을 나타낸다.

특히, 상기 금속 전구체인 TEMAH를 2초 동안 도입하고, 퍼지 가스로 Ar을 4초 동안 도입하였다. 이어서, 상기 O₃ 산화제를 4초 동안 도입하고, 퍼지 가스로 Ar을 4초 동안 도입하였다. 상기 공정은 상기 두 구조물에 대해 다양한 온도에서 반복되고, 상기 증착율(deposition rate)은 각각의 구조물에서 상기 각 공정을 한 사이클, 즉 1회 수행할 때마다 측정되었다.

도 6을 참조하면, 상기 증착율(deposition rate)은 상기 온도변화에도 불구하고 거의 일정하다. 즉, 상기 온도 영역에서 원자층 증착(ALD) 공정 특성은 평판에 대해서 그리고 높은 어스펙트비를 갖는 구조물에 대해서 관찰된다. 상기 본 발명의 실시예에 따르면 우수한 두께 균일도를 갖는 막이 형성됨을 의미한다.

약 200°C 내지 300°C의 온도 범위에서 구해진 증착율(deposition rate)을 비교해 본다. 그래프 30에 나타난 바와 같이 상기 평판상에 상기 막을 증착할 때 상기 증착율(deposition rate)은 약 1 Å/cycle이었다. 반면에, 경로(trace) 32에 나타난 바와 같이 높은 어스펙트비를 갖는 구조물 상에 상기 막이 증착되는 증착율(deposition rate)은 약 0.7 Å/cycle을 갖는다. 즉, 패턴 로딩율(pattern loading rate) 또는 아래에 놓여진 막의 패턴의 모양에 의한 효과는 약 30%이다. 상기 패턴 로딩율(pattern loading rate)은 막이 적용되는 기판의 모양에 의해 증착율(deposition rate)이 감소하는 비율을 의미한다.

하기의 표 1은 본 발명의 방법 및 상기 종래의 방법에 의해 평판 및 10:1이상의 높은 어스펙트비를 갖는 구조물 상에 각각 증착 공정을 진행하여 각 구조물에서 온도 및 패턴 로딩율(pattern loading rate)에 따른 HfO₂ 막의 증착율(deposition rate)을 비교하여 나타내었다.

[표 1]

공정 조건	평판 실리콘	높은 어스펙트비를 갖는 구조물	패턴 로딩율(%)
Hf(OtBu) ₄ + O ₃ , 300°C	y=0.25x	y=0.125x	50%
TEMAH(100°C) + O ₃ , 250°C	y=1.01x	y=0.75x	26%
TEMAH(100°C) + O ₃ , 200°C	y=0.98x	y=0.633x	35%

표 1을 참조하면, 상기 종래의 방법에서는 전구체로 tBH(tetra-butoxy hafnium, Hf(OtBu)₄)를 사용하고, 산화제로 O₃를 사용하였다. tBH를 전구체로 사용하는 경우에는 약 350°C까지 원자층 증착(ALD) 공정 특성을 보였으므로, 공정 진행 온도는 300°C로 하였다.

표 1의 각각의 방정식에서, x는 사이클의 수를 나타내고 y는 증착된 막의 두께를 나타낸다. x의 계수는 각각의 상태에서 측정된 증착율(deposition rate)을 나타낸다. 본 발명의 실시예에 의해 평판 실리콘 상에 형성되는 HfO₂ 막의 증착율(deposition rate)은 상기 종래의 방법에 의해 형성되는 HfO₂ 막의 증착율(deposition rate)에 비해 약 4배가 빠르다. 따라서, 상기 실리콘 평판상에 상기 HfO₂ 막을 형성하는 경우, 상기 종래의 방법에 비해 공정 시간이 약 75% 감소한다.

또한, 본 발명의 실시예에 의해 높은 어스펙트비를 갖는 상기 실리콘 구조물 상에 형성되는 HfO_2 막의 증착율(deposition rate)은 상기 종래의 방법에 의해 형성되는 HfO_2 막의 증착율(deposition rate)의 약 6배이다. 그러므로, 상기 높은 어스펙트비를 갖는 상기 실리콘 구조물상의 실리콘 상에 상기 HfO_2 막을 형성하는 경우, 상기 종래의 방법에 비해 공정 시간이 약 6분의 1로 감소한다.

아미노기를 포함하는 상기 전구체를 사용하여 박막을 형성하는 경우, 박막에 포함되는 상기 탄소의 함량이 상대적으로 적다는 특징이 있다. 유전막 내에 포함되는 탄소는 커패시터의 누설 전류를 증가시키고 유전막의 신뢰성에 악영향을 미친다. 따라서, 유전막 내의 상기 탄소의 함량이 적어지면 상기 커패시터의 전기적인 특성이 향상된다. 이하에서 상기 특징을 좀 더 상세히 설명하기로 한다.

도 7은 본 발명의 실시예에 따라 다양한 전구체 소오스를 사용하여 형성된 HfO_2 박막 내의 탄소 함량을 2차 이온 질량 분석(second ion mass spectroscopy, SIMS)을 통해서 확인한 것이다. 도 7을 참조하면, 각 그래프는 다양한 전구체를 사용하여 형성한 유전막 내의 탄소 함량을 나타낸다.

도 7을 참조하면, tBH [$\text{Hf}(\text{OtBu})_4$]인 상기 소오스를 살펴보면, 탄소는 산소와 결합되고, 상기 O-C 결합은 산화제와의 반응을 전후해서 동일하다. 따라서, Hf-O-C 결합으로부터 탄소를 분리하는 반응이 어려울 수 있고, 상기 tBH 소오스로부터 C-O 결합을 제거하는 것을 방해할 수 있다. 반면에, 본 발명의 바람직한 실시예에 따른 상기 액체 소오스인 TEMAH를 사용하여 증착하여 형성된 유전막은 실험된 상기 막들 중에서 가장 낮은 탄소 함량을 보이고 있다.

아미노기를 함유하는 전구체를 이용한 증착 공정에 의하여 유전막을 형성하는 경우, 추가 공정 없이도 상기 유전 막 내에 질소를 함유시킬 수 있다. 최근 논문에서 HfO_2 박막 내에 질소를 부가하는 HfO_xN_y 박막의 경우 박막 특성이 향상된다고 보고되었다.

예컨대, HfO_2 막 대신 HfO_xN_y 를 게이트 유전막으로 사용할 경우 붕소 이온의 이동 및/또는 산소의 확산이 억제되고, 열적 안정성도 우수하다. 따라서, HfO_xN_y 를 이용하여 형성된 게이트 유전막에서는 후속 열적 부상에 의한 등가 산화막 두께의 증가가 HfO_2 를 사용하여 형성된 게이트 유전막과 비교해서 매우 적다고 보고하고 있다.

또한, HfO_xN_y 의 등가 산화막(E_{tox})의 두께는 HfO_2 에 비해 더 얇고, 누설전류도 HfO_2 에 비해 더욱 우수하다고 보고되고 있다. 일반적으로, 상기 HfO_xN_y 막은 HfN막을 증착한 후 산소환경에서 후속 열처리로 산질화막을 형성시킨다.

그러나, TEMAH와 같은 아미노 계열의 전구체를 사용하여 HfO_2 를 증착하는 경우 후속 열처리 없이도 박막내에 질소를 함유시킬 수 있다. 예컨대, TDEAH($\text{Hf}[\text{N}(\text{C}_2\text{H}_5)_2]_4$) 및 O_2 를 이용하여 저압화학기상증착(LPCVD)으로 형성한 HfO_2 박막은 7%의 질소를 함유한다고 보고되었다.

본 발명자 등에 의한 실험 결과, TEMAH 및 O_3 산화제를 이용한 원자층 증착(ALD) 방법에 의해 형성된 HfO_2 박막은 약 2%의 질소가 함유하고 있음이 확인되었다. 따라서, 본 발명의 실시예에서의 방법에 의하면 막 내에 질소를 포함하는 우수한 특성을 갖는 유전막을 용이하게 형성할 수 있다.

이하, 본 발명의 실시예에 따른 반도체 장치의 커패시터 형성 방법을 설명하기 위하여 반도체 장치의 제조방법을 설명하고자 한다.

도 8a 내지 8e는 본 발명의 바람직한 실시예에 따라 반도체 공정에서 커패시터 형성방법을 설명하기 위한 단면도들이다.

도 8a를 참조하면, 반도체 기판(100)상에 통상의 소자 분리 공정을 수행하여 액티브 영역 및 필드 영역(102)이 형성된다. 이어서, 상기 기판(100)상에 게이트 절연막(104), 게이트 전극(110) 및 소오스/드레인 영역(116a, 116b)을 구비한 트랜지스터를 형성한다. 1기가비트 이상의 메모리를 가지는 반도체 장치에서는 약 20Å 이내의 매우 얇은 게이트 절연막(104)이 요구된다. 그러나, 상기 게이트 절연막(104)의 두께 감소는 게이트 누설 전류의 증가, 게이트 도핑 불순물의 침투, 문턱 전압의 저하 등의 문제점을 나타내고 있다. 때문에, 상기 게이트 절연막(104)은 상술한 본 발명의 실시예에서의 원자층 증착(ALD) 공정을 이용하여 절연성이 뛰어나고, 유전율이 높은 물질로 형성하는 것이 바람직하다.

즉, 도 2a 내지 도 2e에 도시한 바와 같이, 하프늄과 아미노기를 포함하는 액체 소오스 및 산화제를 사용하고 원자층 증착(ALD) 공정을 이용하여 HfO_2 를 포함하는 게이트 절연막(104)이 형성된다. 상기 하프늄과 아미노기를 포함하는 액체 소오스는 TEMAH, TDEAH 및 TDMAH 등이 있다.

상기 산화제는 플라즈마 발생기, 플라즈마 O_2 , 리모트 플라즈마 O_2 , 및 플라즈마 N_2O 에 의해 생성된 오존(O_3) 또는 H_2O 또는 H_2O_2

와 같은 수산화기를 포함하는 화합물과 같이 활성화된 산화제를 포함한다. 상기 게이트 전극(110)은 불순물이 도핑된 폴리실리콘막(106)과 금속 실리사이드막(108)이 적층된 폴리사이드 구조로 형성할 수 있다. 상기 게이트 전극(110)은 상기 도핑된 폴리실리콘막(106) 및 텅스텐(W)과 같은 금속을 포함하는 금속막을 포함하는 구조로 형성할 수도 있다. 상기 게이트 전극(110)의 상부에는 산화 실리콘을 포함하는 캡핑 절연막(112)이 형성되고, 상기 게이트 전극(110)의 측면에는 절화 실리콘을 포함하는 측벽 스페이서(side wall spacer, 114)가 형성된다.

도 8b를 참조하면, 상기 트랜지스터가 형성된 상기 기판(100)의 전면에 일반적으로 산화물인 제1 절연막(118)을 형성한다. 포토리소그래피(photo lithography) 공정으로 상기 제1 절연막(118)을 식각하여 상기 소오스 영역(116a)의 일부분을 노출하는 콘택홀(120)을 형성한다. 이어서, 인(P)으로 도핑된 폴리실리콘막을 증착하여 상기 콘택홀(120)을 채우는 제1 도전막을 형성하여 상기 콘택홀(120)의 내부에 콘택 플러그(122)를 형성한다. 상기 콘택 플러그(122)는 상기 제1 절연막(118) 상에 형성된다. 상기 제1 도전막의 상부는 에치백(etch back) 공정이나 화학적 기계적 연마(chemical mechanical polishing, CMP) 공정에 의해 제거되어 상기 콘택 플러그(122)를 남긴다.

도 8c를 참조하면, 상기 콘택 플러그(122) 및 제1 절연막(118) 상에 식각 방지막(123)을 형성한다. 상기 식각 방지막(123)은 실리콘 질화물(Si_3N_4)막 또는 실리콘 산질화물(SiON)막과 같이 상기 제1 절연막(118)에 비해 식각 선택비가 높은 막이 선택된다.

상기 식각 방지막(123) 상에 일반적으로 산화물로 이루어진 제2 절연막(124)을 형성한 후, 식각하여 상기 콘택 플러그(122)를 노출하는 개구부(126)를 형성한다. 특히, 상기 제2 절연막(124)을 상기 식각 방지막(123)이 노출될 때까지 식각한다. 이후에, 상기 식각 방지막(123)을 식각하여 상기 개구부(126)를 형성하고 상기 콘택 플러그(122) 및 상기 제1 절연막(118)의 인접한 일부분을 노출시킨다. 상기 개구부(126)는 수직방향으로 소정의 기울기를 가지면서 형성되어 상기 개구부(126)의 저부가 상기 개구부(126)의 입구에 비해 좁다. 상기과 같은 모양은 상기 식각 공정을 수행하는 중에 상기 개구부(126)의 상기 입구에 비해 상기 개구부(126)의 상기 저부의 식각율(etch rate)이 감소되는 로딩효과에 의해 구현된다.

상기 개구부(126)의 측면과 저면 및 상기 제2 절연막(124)의 상면에 제2 도전막(127)을 형성한다. 상기 제2 도전막(127)은 도핑된 폴리실리콘을 포함하는 반도체 물질, 루테늄(Ru), 백금(Pt), 및 이리듐(Ir)을 포함하는 금속, TiN, TaN, 및 WN와 같은 도전성 질화 금속, 또는 상기 물질들의 복합구조에 의해 형성된다.

도 8d를 참조하면, 상기 제2 도전막(127) 및 상기 개구부(126) 상에 희생막(도시하지 않음)을 형성한다. 상기 희생막의 상부를 식각하여 상기 제2 도전막(127)이 상기 개구부(126)의 측면과 저면에 남도록 한다. 상기 제2 절연막(124)의 표면 상에 증착되었던 제2 도전막(127)이 제거된다. 이어서, 상기 개구부(126) 내부의 윤곽(profile)을 따라 증착된 제2 도전막(127)이 셀 단위로 분리되어 각각의 셀 영역에 캐패시터의 하부전극(128)을 형성한다. 이후에, 상기 희생막을 습식 식각 공정으로 제거한다. 상기 하부전극(128)은 입구가 저부에 비해 넓은 원기둥모양을 갖고, 상기 하부전극(128)의 높이는 약 10,000~17,000 Å이다.

도 2a 내지 도 2e에 도시된 상기 원자층 증착(ALD) 공정을 통하여, 상기 하부 전극(128) 상에 하프늄과 아미노기를 포함하는 액체 소오스, 및 산화제를 사용한 HfO_2 를 포함하는 유전막(130)을 형성한다. 특히, 상기 원자층 증착(ALD) 공정을 이용하여 TEMAH와 O_3 를 반응시켜 HfO_2 를 증착함으로써 상기 캐패시터의 유전막(130)을 형성한다. 상기 원자층 증착(ALD) 공정으로 TEMAH와 O_3 를 사용하여 상기 HfO_2 막을 형성함으로써, 13:1 이상의 어스펙트비를 갖는 상기 하부 전극(128) 상에 우수한 스텝 커버리지(step coverage)를 갖는 상기 유전막(130)을 형성할 수 있다. 상기 형성된 유전막(130)의 상부 두께(t_1) 및 하부 두께(t_2)의 비는 약 1:0.8이다.

상기 HfO_2 의 유전율은 약 20 내지 25 정도로 높다. 상기 HfO_2 를 이용하여 형성된 유전막을 포함하는 캐패시터는 유전율이 상대적으로 낮은 물질의 유전막을 이용하여 형성된 캐패시터와 비교해서 동일한 두께에서 상대적으로 높은 축적 용량을 가질 수 있다. 또한, HfO_2 를 포함하는 상기 캐패시터는 상대적으로 높은 에너지 밴드갭을 가지므로, 안정적인 누설 전류 특성이 용이하게 구해진다.

상기 유전막(130)은 HfO_2 의 단일막으로 형성될 수도 있고, 두 가지 이상의 금속 산화막이 교대로 적층된 복합막으로 형성될 수도 있다. 예를 들어, 원자층 증착(ALD) 공정을 수행하면서 상기 챔버내로 도입되는 상기 전구체를 바꿔가면서 Al_2O_3 및 HfO_2 의 적층 구조로 이루어진 유전막(130)을 형성할 수 있다.

특히, TMA 전구체와 O_3 산화제를 이용하여 35 Å 정도의 두께를 갖는 Al_2O_3 막을 증착할 수 있다. 이어서, 상기 TMA 전구체 대신에 TEMAH 전구체를 사용하여 상기 Al_2O_3 막 상에 약 35 Å 정도의 두께를 갖는 HfO_2 막을 형성하고, 상기 동일한 원자층 증착(ALD) 공정 조건을 적용하여 상기 $\text{Al}_2\text{O}_3/\text{HfO}_2$ 가 교대로 증착된 구조를 갖는 상기 유전막(130)을 형성할 수 있다. 상기 증착 순서를 변경함으로써 상기 $\text{Al}_2\text{O}_3/\text{HfO}_2$ 막뿐만 아니라 $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}$

O_3/HfO_2 의 적층구조 또는 $\text{Al}_2\text{O}_3/\text{HfO}_2$ 의 적층구조를 갖는 유전막도 형성할 수 있다.

상기 하부 전극(128)이 폴리실리콘으로 형성된 경우, 열처리 중에 상기 하부 전극(128)에 포함된 실리콘과 산소가 반응하여 상기 하부 전극(128)을 산화시킬 수 있다. 따라서, 상기 유전막(130)을 형성하기 전에, 상기 하부전극(128)의 표면을 질소 분위기에서 급속 열처리(RTP) 공정에 의해 질화시켜 상기 유전막(130)과 상기 하부 전극(128)이 반응하는 것을 감소하거나 방지한다. 상기 질화반응에 의해 상기 하부전극(128)의 표면 부분에서 형성되는 SiN 또는 SiON막은 상기 HfO_2 막과 함께 상기 캐패시터의 유전막의 일부로 작용한다. 따라서, 상기 유전막은 질화막/ $\text{Al}_2\text{O}_3/\text{HfO}_2$ 의 적층 구조 또는 질화막/ HfO_2 의 적층 구조로 이루어질 수도 있다.

도 8e를 참조하면, 상기 유전막을 형성한 후에 상기 유전막을 열처리하여 상기 유전막 상에 형성되거나 상기 유전막 내에 혼합되어 있는 오염물들을 제거하고 산소 결함들을 회복(cure)한다. 상기 열처리 공정은 자외선 오존(UV- O_3), 플라즈마 O_2 , 리모트 플라즈마 O_2 , 질소 분위기 또는 진공에서 수행될 수 있다.

상기 유전막(130) 상에 상부 전극(132)을 형성하여 상기 하부 전극(128), 상기 유전막(130) 및 상기 상부 전극(132)을 포함하는 캐패시터(C)를 형성한다. 상기 상부 전극(132)은 폴리실리콘을 포함하는 반도체 물질, 루테늄(Ru), 백금(Pt), 이리듐(Ir)과 같은 금속, TiN, TaN 또는 WN을 포함하는 도전성 질화 금속, 또는 상기 물질들의 둘 이상의 혼합물을 이용하여 형성한다. 본 발명의 실시예에서, 상기 상부 전극(132)은 TiN과 폴리실리콘의 적층 구조를 포함한다.

도 9는 본 발명의 실시예에 따라 원자층 증착(ALD) 방법에 의하여 형성된 유전막을 갖는 캐패시터에서 전압에 대한 누설 전류를 나타낸 그래프이다. 상기 그래프에서, 수평 축은 전압(V)을 나타내고 수직 축은 누설 전류(A/cell)를 나타낸다.

상기 캐패시터는 상기 도 8a 내지 도 8e에 도시한 방법에 의해 형성될 수 있다. 특히, 인(Ph)으로 도핑된 폴리실리콘으로 이루어진 상기 하부 전극의 표면부분을 NH_3 가스를 이용한 급속 열처리(RTP) 공정으로 질화시킬 수 있다. 상기 하부전극 상에 Al_2O_3 막을 약 35 Å의 두께로 형성하였고, 상기 Al_2O_3 막

상에 HfO_2 막을 약 10 Å의 두께로 형성하여 복합 유전막을 형성하였다. 상기 HfO_2 막은 TEMAH 및 O_3 를 이용하여 약 100℃ 내지 300℃의 온도에서 원자층 증착(ALD) 공정을 이용하여 형성하였다. 상기 HfO_2 막을 형성한 이 후에는, 750℃에서 진공 중에 2초간 상기 막들을 열처리하였다. 상기 공정을 수행하여 형성되는 유전막은 등가 산화막 두께(equivalent oxide thickness, EOT)는 약 20 내지 30 Å이었다.

상기 등가 산화막 두께는 실리콘 다이옥사이드(silicon dioxide)가 아닌 물질로 유전막을 증착하여 캐패시터를 형성하였을 때 그 캐패시턴스와 동일한 값의 캐패시턴스를 가지는 실리콘 산화막의 두께이다. 따라서, 서로 다른 유전막을 갖는 두 개의 캐패시터가 동일한 캐패시턴스를 가질 경우 상기 낮은 등가 산화막 두께를 가지는 유전막의 유전율이 높다. 상기 캐패시턴스가 산화물의 두께에 반비례하고, 유전율에 비례하기 때문이다.

따라서, 상기 낮은 등가 산화막 두께를 가지는 상기 유전막은 높은 유전율을 가진다. 도 9를 참조하면, 상기 유전막의 상기 등가 산화막 두께는 29.7 Å이었다. 상기 공정들을 수행한 이 후에, TiN막이 상기 HfO_2 막 상에 TiCl_4 및 NH_3 가스를 이용한 증착 공정을 통해 형성되었다. 이어서, 인으로 도핑된 폴리실리콘막이 TiN/폴리실리콘 구조물을 포함하는 상기 상부 전극을 형성하였다.

도 9에서 알 수 있는 바와 같이, 상기 본 발명의 실시예에 의해 제조된 캐패시터는 1V의 전압에서 1fA/셀 이하의 낮은 누설 전류를 나타낸다. 상기 본 발명의 실시예에 의한 캐패시터는 13:1 이상의 어스펙트비를 갖는 구조물 상에 형성되더라도 안정적인 누설 전류 특성을 나타낸다.

도 10은 본 발명의 실시예에 따라 원자층 증착법(ALD) 방법에 의하여 형성된 유전막을 갖는 캐패시터에서 유전막의 등가 산화막 두께(equivalent oxide thickness, EOT)에 대한 누설 전류를 나타낸다. 도 10을 참조하면, 수평 축은 유전막의 등가 산화막의 두께(\AA)를 나타내고 수직 축은 누설 전류(A/cell)를 나타낸다. 상기 캐패시터의 유전막은 $\text{Al}_2\text{O}_3/\text{HfO}_2$ 의 복합막으로 형성되고 상기 캐패시터에 1.2V의 전압을 가했을 때의 누설 전류를 측정하였다.

도 10을 참조하면, 상기 캐패시터의 유전막의 등가 산화막 두께가 약 24 \AA 내지 30 \AA 일 때, 측정된 누설 전류는 1fA/cell 이하였다. 따라서, 상기 본 발명의 실시예에 의해 형성되는 캐패시터는 안정적인 누설 전류 특성을 나타낸다.

발명의 효과

상술한 바와 같이 본 발명에 의하면, Hf와 아미노기를 포함하는 전구체와 산화제를 이용한 원자층 증착법을 적용하여 증착율(deposition rate)이 증가되고, 상기 금속 산화막은 양호한 증착 특성을 갖는다. 또한, 상기 본 발명의 실시예에서의 금속산화막의 형성 방법을 사용함으로써 스텝 커버리지(step coverage)가 우수하고 패턴 로딩 현상이 크게 감소된 박막의 형성이 가능하다.

본 발명의 실시예에서의 방법을 이용함으로써 고유전율을 갖는 유전막의 제조가 가능하여, 복잡한 구조에서도 우수한 전기적 특성을 갖는 반도체 장치의 캐패시터를 제조할 수 있다. 우수한 특성을 갖는 게이트 전극 및 증가된 축적 용량을 가지는 캐패시터를 포함하는 고도로 집적된 반도체 장치가 가능하다.

상술한 바와 같이, 본 발명의 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

기판 표면을 아미노기를 포함하는 전구체에 노출하여 상기 기판 표면 상에 화학적으로 흡착된 전구체막을 형성하는 단계; 및

상기 화학적으로 흡착된 전구체막을 산화제로 산화하여 상기 기판 표면 상에 산화막을 형성하는 단계를 포함하는 기판 표면 상에 산화막의 형성 방법.

청구항 2.

제1항에 있어서, 상기 전구체의 화학식은 MX_n 이고,

상기 M은 원소 주기율표에서 2족, 란타 계열을 포함하는 3A족, 4A족, 5A족, 3B족, 4B족 및 5B족 원소로 이루어진 그룹으로부터 선택되는 어느 하나의 원소이고,

상기 X는 $-\text{NR}_1\text{R}_2$ 으로서 상기 R_1 및 상기 R_2 는 수소 원자 또는 탄소 원자의 수가 1 개 내지 4 개인 알킬기 중에서 독립적으로 선택되고,

상기 n은 2, 3, 4 또는 5의 정수인 것을 특징으로 하는 산화막의 형성방법.

청구항 3.

제2항에 있어서, 상기 M은 Sr, Ba, Y, La, Ti, Zr, Hf, V, Nb, Ta, Al, Ge, Pb, As, Sn, Si 및 Bi로 이루어진 그룹으로부터 선택된 어느 하나의 원소인 것을 특징으로 하는 산화막의 형성방법.

청구항 4.

제3항에 있어서, 상기 M은 하프늄인 것을 특징으로 하는 산화막의 형성방법.

청구항 5.

제1항에 있어서, 상기 전구체는 TEMAH, TDEAH, TDMAH, $\text{Hf}[\text{N}(\text{C}_3\text{H}_7)_2]_4$

$\text{Hf}[\text{N}(\text{C}_4\text{H}_9)_2]_4$, $\text{Ti}[\text{N}(\text{CH}_3)_2\text{C}_2\text{H}_5]$

4, $\text{Zr}[\text{N}(\text{CH}_3)_2\text{C}_2\text{H}_5]_4$, $\text{Sn}[\text{N}(\text{CH}_3)_2\text{C}_2\text{H}_5]_4$, $\text{Si}[\text{N}(\text{CH}_3)_2\text{C}_2\text{H}_5]_4$, $\text{Ta}[\text{N}(\text{CH}_3)_2\text{C}_2\text{H}_5]_5$, $\text{Al}[\text{N}(\text{CH}_3)_2\text{C}_2\text{H}_5]_3$

3 및 $(\text{CH}_3)_2\text{AlNH}_2$ 로 이루어진 그룹으로부터 선택되는 적어도 하나인 것을 특징으로 하는 산화막의 형성방법.

3 및 $(\text{CH}_3)_2\text{AlNH}_2$ 로 이루어진 그룹으로부터 선택되는 적어도 하나인 것을 특징으로 하는 산화막의 형성방법.

청구항 6.

제1항에 있어서, 상기 산화제는 H_2O_2 , H_2O , O_3 , N_2O , NO_2 , 플라스마 O_2 , 리모트 플라스마 O_2 및 플라스마 N_2O 로 이루어진 그룹에서 선택되는 적어도 하나의 산화제인 것을 특징으로 하는 산화막의 형성방법.

청구항 7.

제6항에 있어서, 상기 산화제는 O_3 인 것을 특징으로 하는 산화막의 형성방법.

청구항 8.

(a) 챔버 내부에 반도체 기판을 위치시키는 단계;

(b) 아미노기를 포함하는 전구체의 일부분이 상기 반도체 기판 상에 화학적으로 흡착하고 전구체막을 형성하게 하는 조건하에서 상기 챔버 내부에 상기 전구체의 일정량을 도입하는 단계;

(c) 상기 전구체막을 구성하지 않는 전구체의 일정량의 실질적으로 모든 부분을 상기 챔버로부터 제거하는 단계;

(d) 상기 챔버 내부에 산화제의 일정량을 도입하는 단계;

(e) 상기 산화제의 일부와 상기 전구체막을 반응시켜 상기 기판 상에 원자층 단위의 산화물 박막을 형성하는 단계; 및

(f) 반응하지 않은 산화제를 상기 챔버로부터 제거하는 단계를 포함하는 반도체 기판 상에 산화물 박막의 형성방법.

청구항 9.

제8항에 있어서, 상기 전구체는 TEMAH, TDEAH, TDMAH, $\text{Hf}[\text{N}(\text{C}_3\text{H}_7)_2]_4$

및 $\text{Hf}[\text{N}(\text{C}_4\text{H}_9)_2]_4$ 로 이루어진 그룹으로부터 선택되는 적어도 하나의 물질인 것을 특징으로 하는 산화물 박막의 형성방법.

청구항 10.

제8항에 있어서, 상기 산화제는 H_2O_2 , H_2O , O_3 , N_2O , NO_2 , 플라즈마 O_2 , 리모트 플라즈마 O_2 , 및 플라즈마 N_2O 로 이루어진 그룹으로부터 선택되는 적어도 하나의 산화제인 것을 특징으로 하는 산화물 박막의 형성방법.

청구항 11.

제10항에 있어서, 상기 산화제는 O_3 인 것을 특징으로 하는 산화물 박막의 형성방법.

청구항 12.

제8항에 있어서, 상기 전구체는 약 300°C 이하의 온도 범위 및 0.4 torr 이하의 압력에서 불활성 캐리어 가스에 의해 상기 챔버내에 도입되는 것을 특징으로 하는 산화물 박막의 형성방법.

청구항 13.

제8항에 있어서, 상기 (b) 단계 내지 상기 (f) 단계를 적어도 한번 반복하는 것을 특징으로 하는 산화물 박막의 형성방법.

청구항 14.

제8항에 있어서, 상기 전구체막을 구성하지 않는 전구체를 상기 챔버로부터 제거하는 단계; 및 반응하지 않은 산화제를 상기 챔버로부터 제거하는 단계는

불활성 가스를 상기 챔버내에 도입하는 단계를 포함하는 것을 특징으로 하는 산화물 박막의 형성방법.

청구항 15.

(a) 반도체 기판 상에 제1 전극을 형성하는 단계;

(b) 상기 제1 전극을 아미노기를 포함하는 전구체에 노출하여 상기 제1 전극 상에 화학적으로 흡착된 전구체막을 형성하는 단계;

(c) 상기 전구체막을 산화제와 반응시켜 상기 제1 전극 상에 산화물 유전막을 형성하는 단계; 및

(d) 상기 유전막 상에 제2 전극을 형성하는 단계를 포함하는 반도체 장치의 캐패시터 형성방법.

청구항 16.

제15항에 있어서, 상기 전구체는 TEMAH, TDEAH, TDMAH, $\text{Hf}[\text{N}(\text{C}_3\text{H}_7)_2]_4$

$\text{Hf}[\text{N}(\text{C}_4\text{H}_9)_2]_4$, $\text{Ti}[\text{N}(\text{CH}_3)_2\text{C}_2\text{H}_5]$

4, $\text{Zr}[\text{N}(\text{CH}_3)_2\text{C}_2\text{H}_5]_4$, $\text{Sn}[\text{N}(\text{CH}_3)_2\text{C}_2\text{H}_5]_4$, $\text{Si}[\text{N}(\text{CH}_3)_2\text{C}_2\text{H}_5]_4$, $\text{Ta}[\text{N}(\text{CH}_3)_2\text{C}_2\text{H}_5]_5$, $\text{Al}[\text{N}(\text{CH}_3)_2\text{C}_2\text{H}_5]_3$

4 및 $(\text{CH}_3)_2\text{AlNH}_2$ 로 이루어진 그룹으로부터 선택되는 적어도 하나의 원소인 것을 특징으로 하는 캐패시터의 형성방법.

4 및 $(\text{CH}_3)_2\text{AlNH}_2$ 로 이루어진 그룹으로부터 선택되는 적어도 하나의 원소인 것을 특징으로 하는 캐패시터의 형성방법.

청구항 17.

제15항에 있어서, 상기 산화제는 H_2O_2 , H_2O , O_3 , N_2O , NO_2 , 플라즈마 O_2 , 리모트 플라즈마 O_2 , 및 플라즈마 N_2O 로 이루어진 그룹으로부터 선택된 적어도 하나의 산화제인 것을 특징으로 하는 캐패시터의 형성방법.

청구항 18.

제15항에 있어서, 상기 제1 전극은 최소한 10:1의 어스펙트비를 갖는 것을 특징으로 하는 캐패시터의 형성방법.

청구항 19.

제15항에 있어서, 상기 제1 전극은 도핑된 폴리실리콘, 질화 금속, 금속으로 이루어진 그룹으로부터 선택된 적어도 하나의 도전물질의 막을 포함하는 것을 특징으로 하는 캐패시터의 형성방법.

청구항 20.

제19항에 있어서, 상기 제1 전극은 도핑된 폴리실리콘막 및 상기 도핑된 폴리실리콘막의 표면 상에 형성된 질화막을 포함하는 것을 특징으로 하는 캐패시터의 형성방법.

청구항 21.

제15항에 있어서, 상기 제2 전극은 도핑된 폴리실리콘, 질화 금속, 금속으로 이루어진 그룹으로부터 선택된 적어도 하나의 도전물질의 막을 포함하는 것을 특징으로 하는 캐패시터의 형성방법.

청구항 22.

(a) 반도체 기판 상에 제1 전극을 형성하는 단계;

(b) 상기 제1 전극을 아미노기를 포함하는 제1 전구체에 노출하여 상기 제1 전극 상에 화학적으로 흡착된 제1 전구체막을 형성하는 단계;

(c) 상기 제1 전구체막을 산화제와 반응시켜 상기 제1 전극 상에 제1 산화물 유전막을 형성하는 단계;

(d) 상기 제1 산화물 유전막을 아미노기를 포함하는 제2 전구체에 노출하여 상기 제1 전극 상에 화학적으로 흡착된 제2 전구체막을 형성하는 단계;

(e) 상기 제2 전구체막을 산화제와 반응시켜 상기 제1 전극 상에 제2 산화물 유전막을 형성하여, 상기 제1 산화물 유전막 및 상기 제2 산화물 유전막으로 이루어진 복합 유전막을 형성하는 단계; 및

(f) 상기 복합 유전막 상에 제2 전극을 형성하는 단계를 포함하는 반도체 장치의 캐패시터의 형성방법.

청구항 23.

제22항에 있어서, 상기 제1 금속 산화막 및 상기 제2 금속 산화막은 HfO_2 , ZrO_2 , Ta_2O_5 , Y_2O_3 , Nb_2O_5 , TiO_2 , CeO_2 , In_2O_3 , RuO_2 , MgO , SrO , B_2O

SiO_2 , GeO_2 , SnO_2 , PbO , PbO_2 , V_2O_3 , La_2O_3 , As_2O_5

As_2O_3 , Pr_2O_3 , Sb_2O_3 , Sb_2

O_5 , CaO 및 P_2O_5 로 이루어진 그룹으로부터 선택되고, 서로 다른 막인 것을 특징으로 하는 캐패시터의 형성방법.

청구항 24.

제23항에 있어서, 상기 제1 금속 산화막 및 상기 제2 금속 산화막은 Al_2O_3 및 HfO_2 인 것을 특징으로 하는 캐패시터의 형성방법.

청구항 25.

제1 전극을 형성하는 단계;

청구항 1의 방법에 따라 산화막을 형성하는 단계; 및

제2 전극을 형성하는 단계를 포함하는 반도체 장치 상에 캐패시터의 형성방법.

청구항 26.

제1항에 있어서, 상기 전구체의 화학식은 MX_nY_m 이고,

상기 M은 원소 주기율표에서 2족, 란타넘 계열을 포함하는 3A족, 4A족, 5A족, 3B족, 4B족 및 5B족 원소로 이루어진 그룹으로부터 선택되는 산화 상태 S를 가지는 어느 하나의 원소이고,

상기 X는 $-\text{NR}_1\text{R}_2$ 으로서 상기 R_1 및 상기 R_2 는 수소 원자 또는 탄소 원자의 수가 1개 내지 4개인 알킬기 중에서 독립적으로 선택된 어느 하나의 원소이고,

상기 n은 1, 2, 3, 4 또는 5의 정수이고,

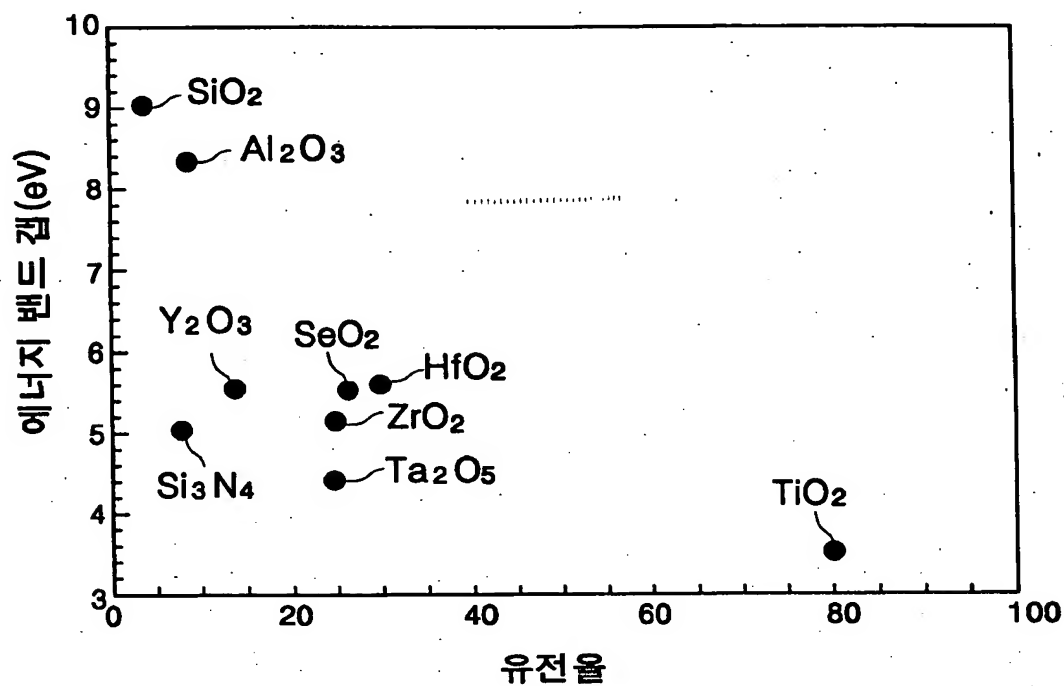
상기 Y는 수소 원자, 탄소 원자의 수가 1개 내지 4개인 알킬기, 및 R_3 와 R_4 가 수소 원자 또는 탄소 원자의 수가 1개 내지 4개인 알킬기 중에서 독립적으로 선택된 어느 하나의 원소인 아미노기 $-\text{NR}_3\text{R}_4$ 로 이루어진 그룹으로부터 선택되고,

상기 m은 0, 1, 2, 3 또는 4의 정수이고,

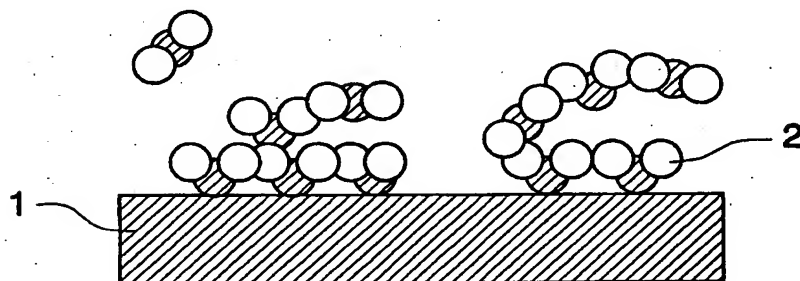
상기 m 및 n은 수학식 $(m + n) = S$ 를 만족하는 것을 특징으로 하는 산화막의 형성방법.

도면

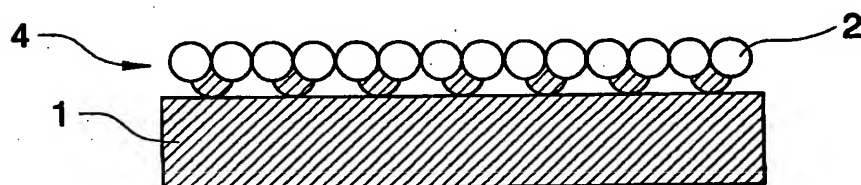
도면 1



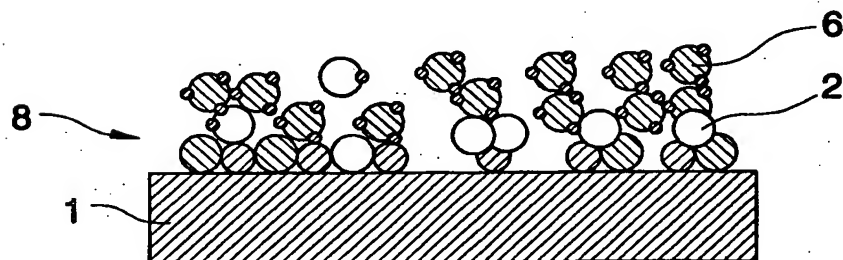
도면 2a



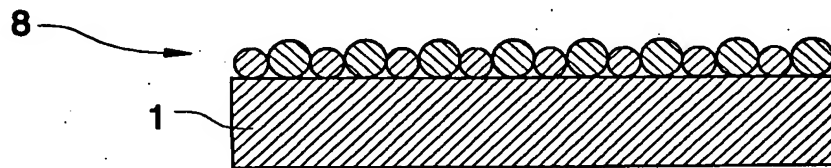
도면 2b



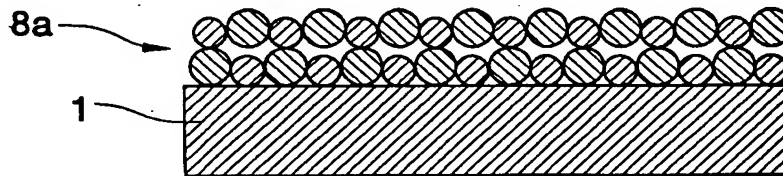
도면 2c



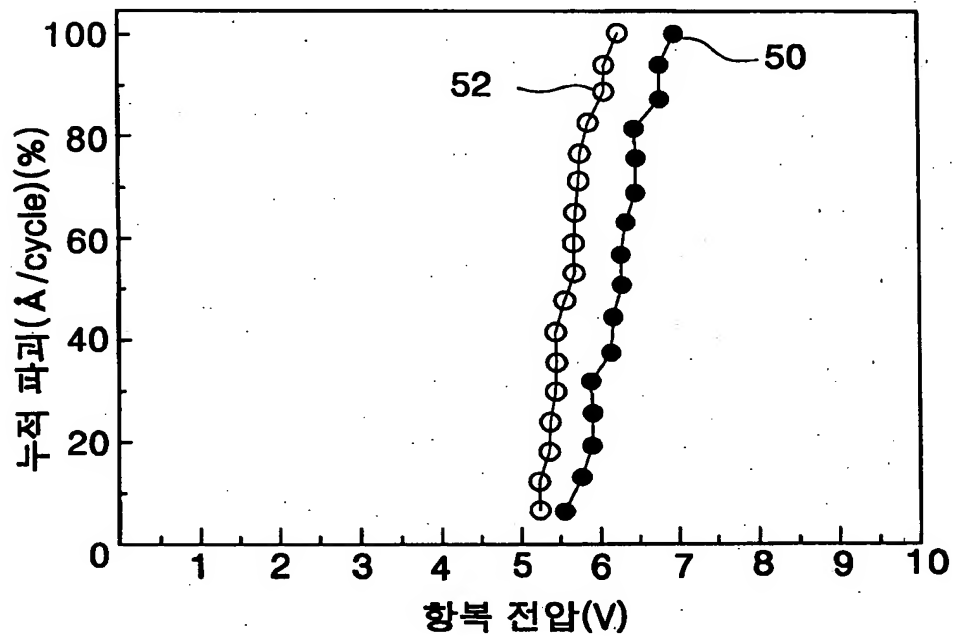
도면 2d



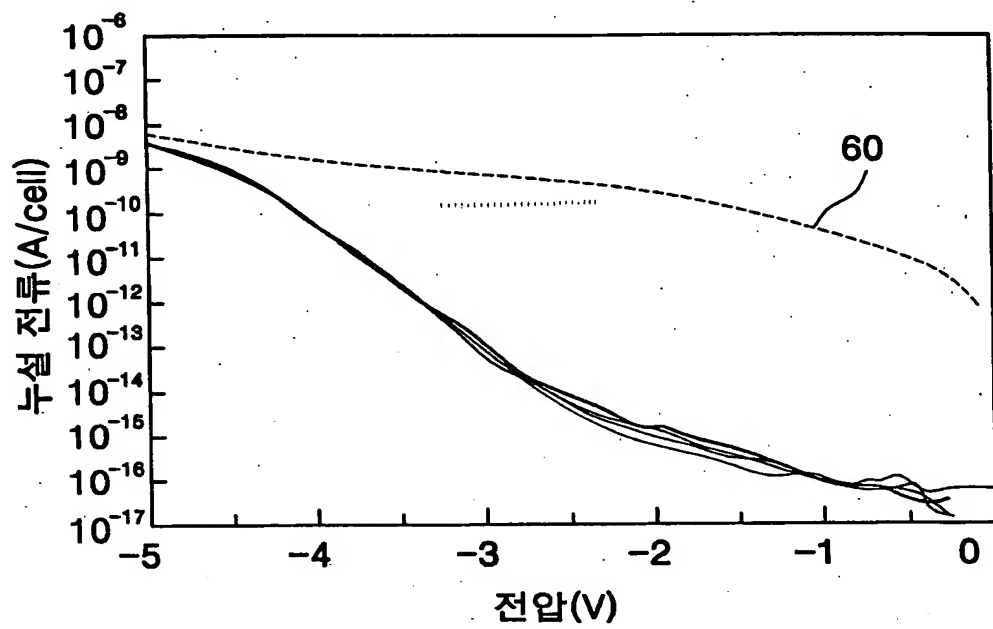
도면 2e



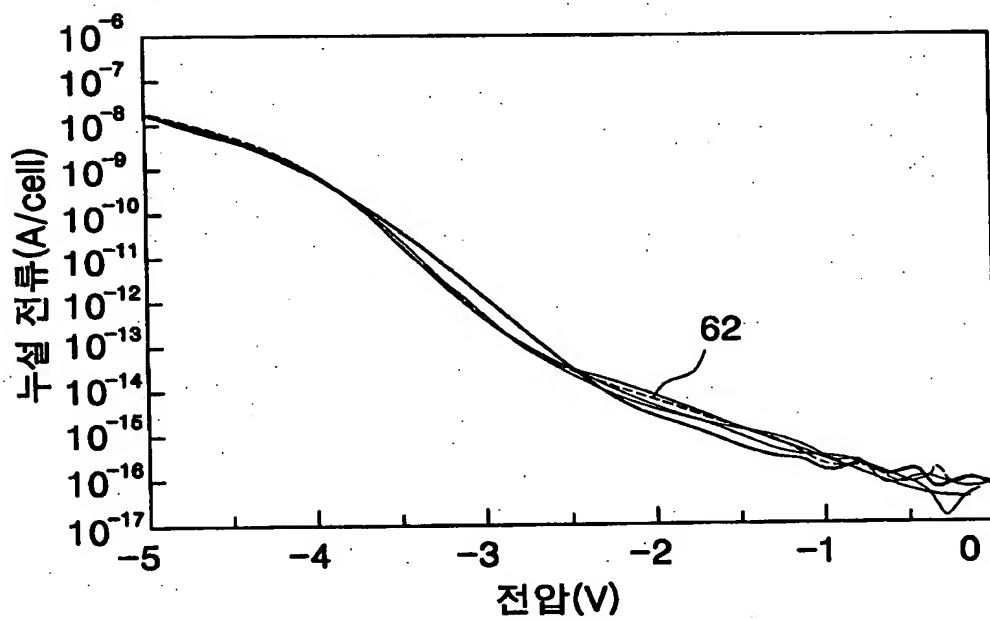
도면 3



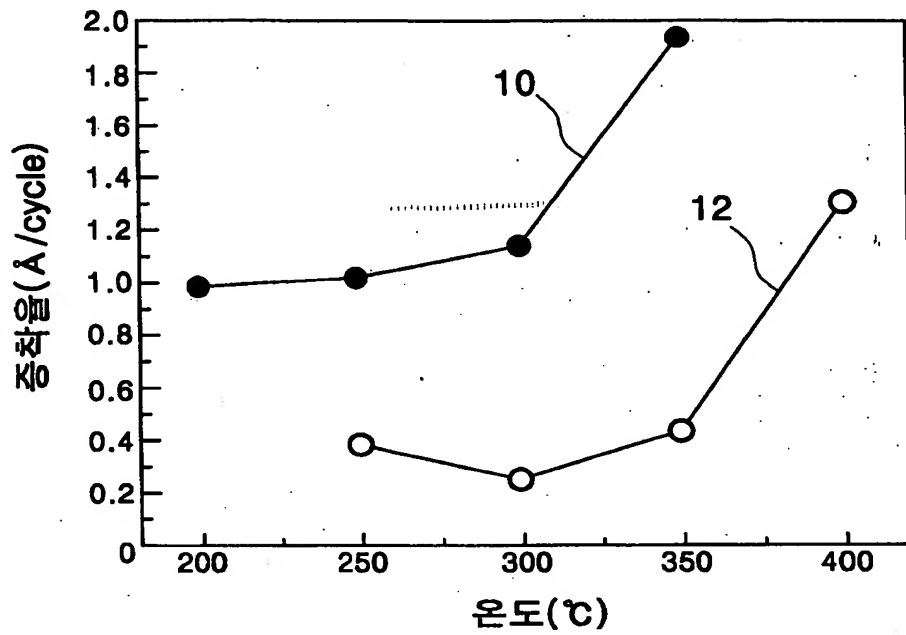
도면 4a



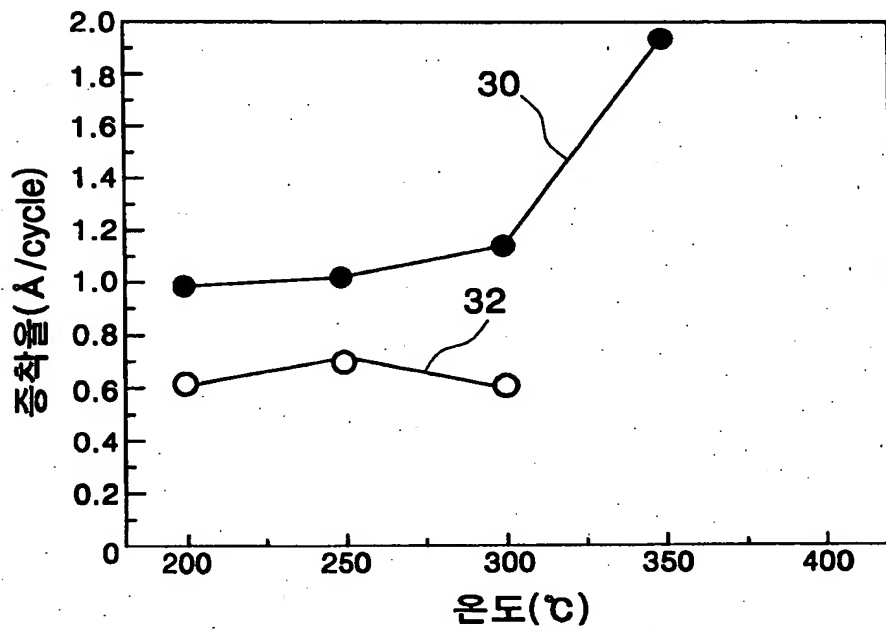
도면 4b



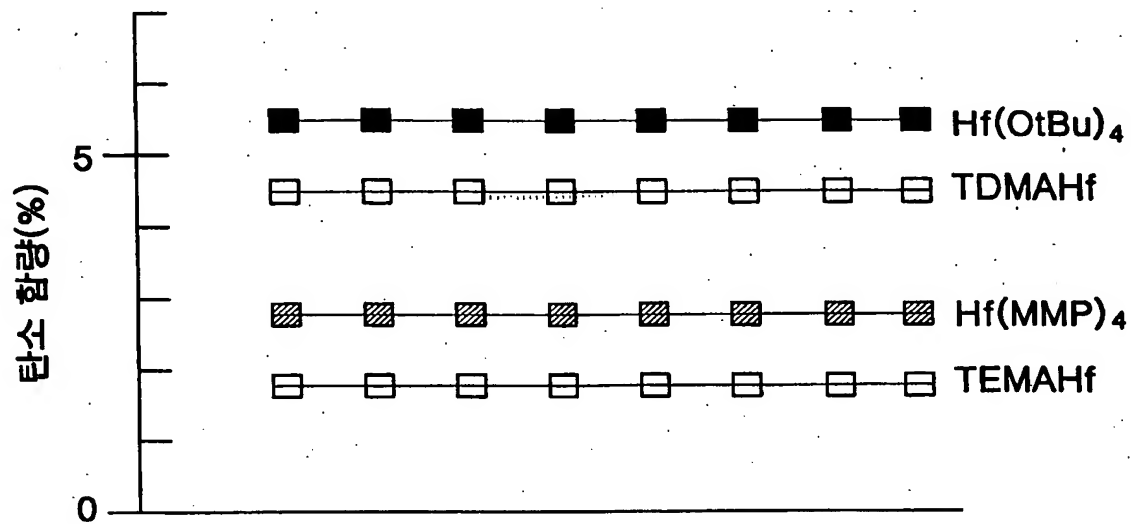
도면 5



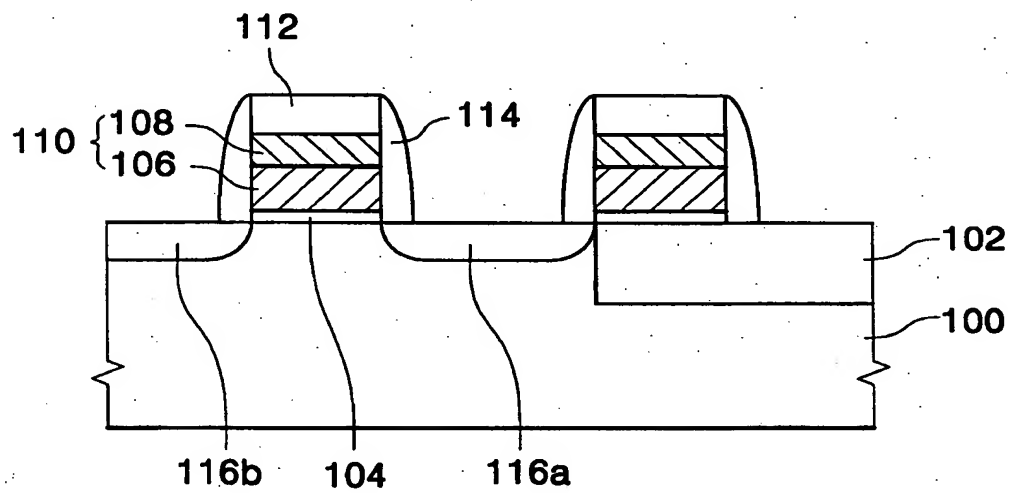
도면 6



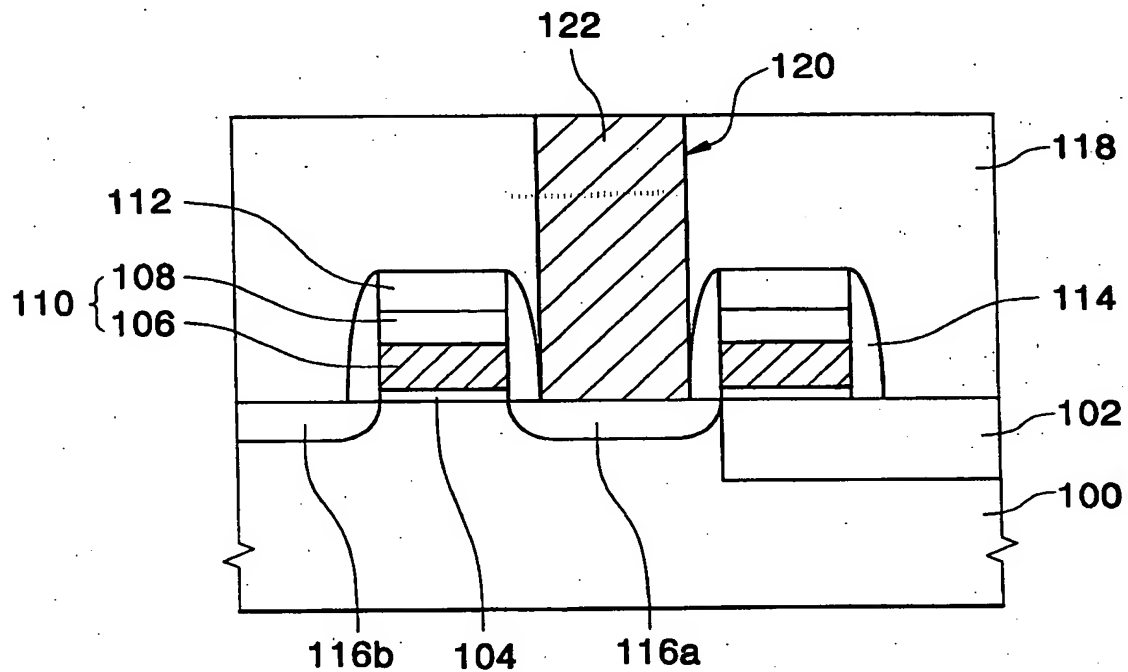
도면 7



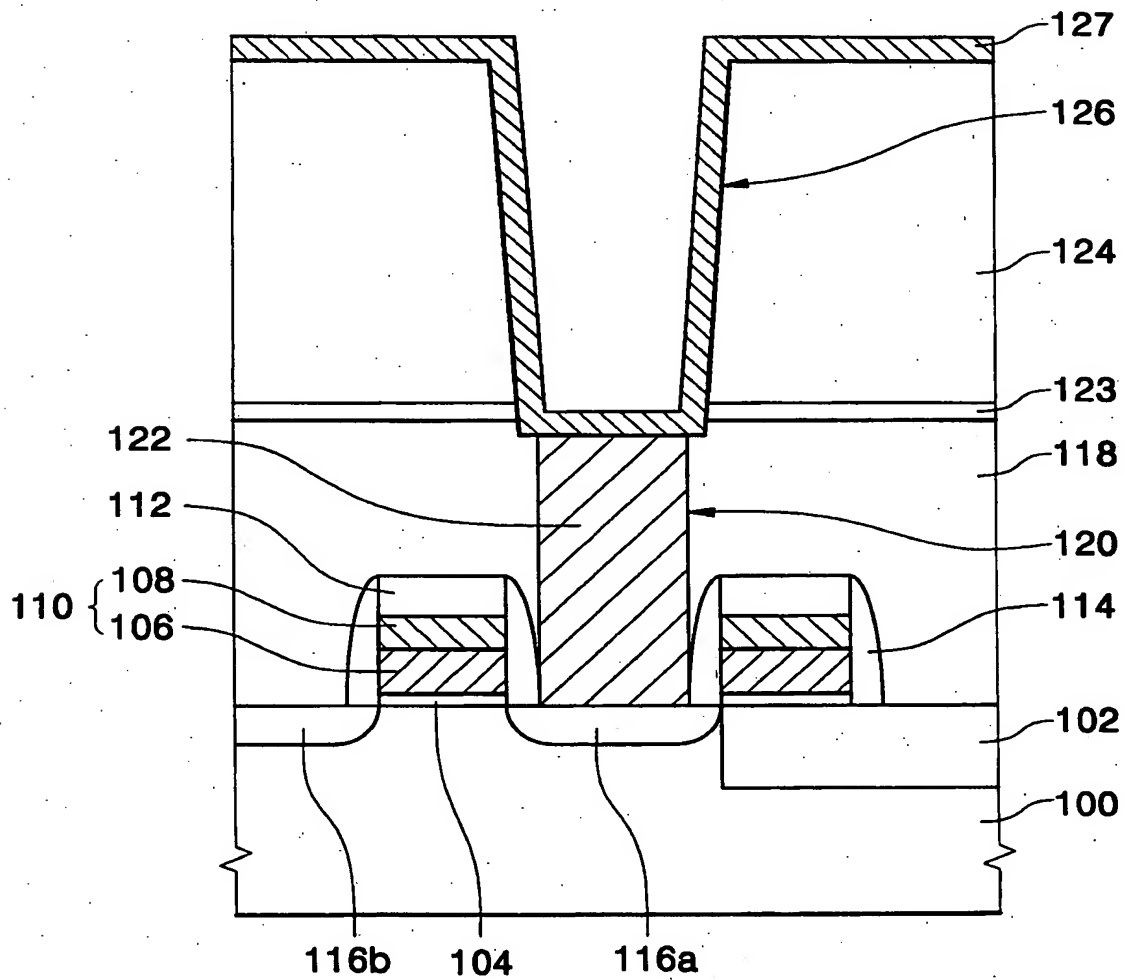
도면 8a



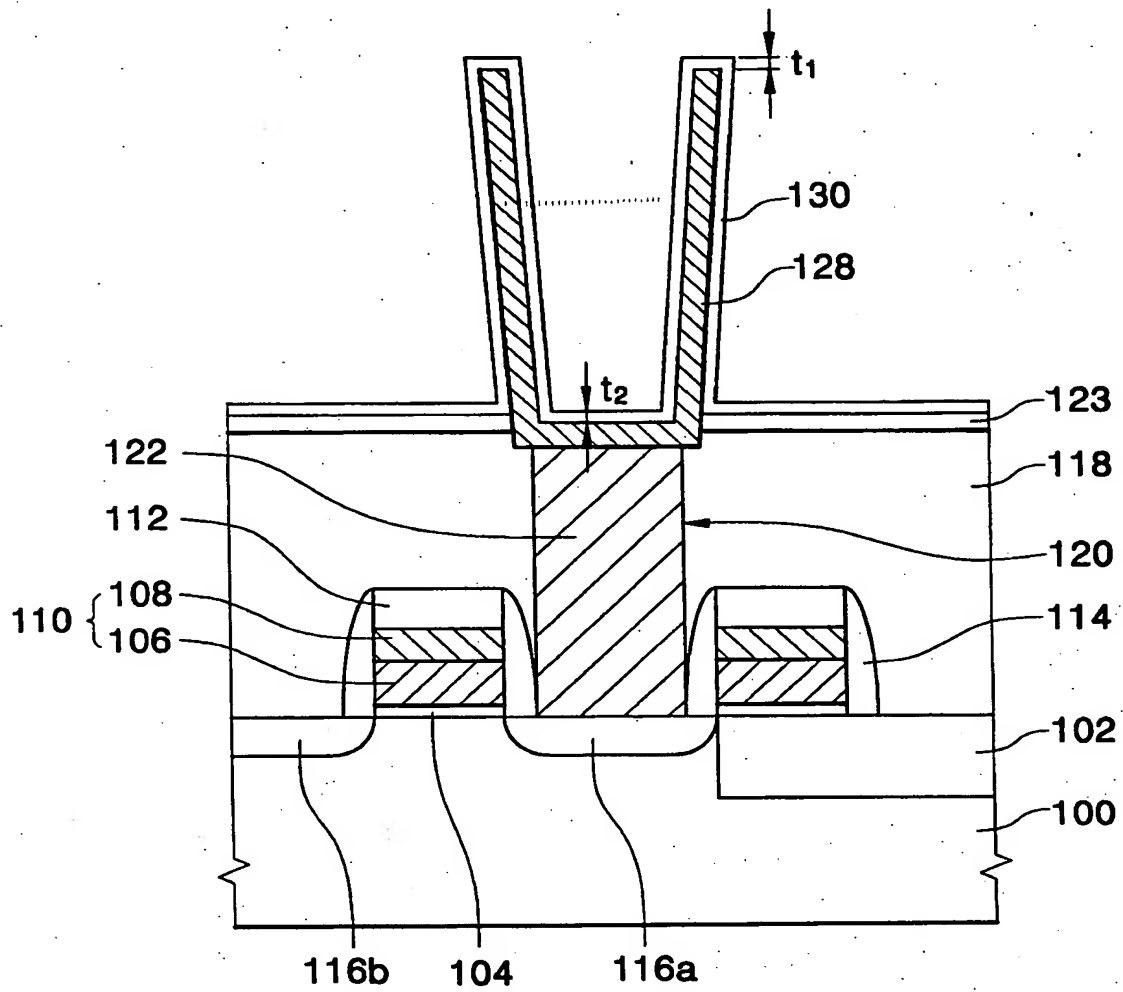
도면 8b



도면 8c



도면 8d





도면 10

